

LIGHT EMITTING ELEMENT ARRAY

Publication number: JP2092651 (A)

Publication date: 1990-04-03

Inventor(s): KUSUDA YUKIHISA; TONE KIYOSHI;
YAMASHITA KEN; TANAKA SHUHEI +

Applicant(s): NIPPON SHEET GLASS CO LTD +

Classification:

- international: B41J2/44; B41J2/45; B41J2/455; G09G3/32;
H01L33/00; B41J2/44; B41J2/45; B41J2/455;
G09G3/32; H01L33/00; (IPC1-7): B41J2/45;
B41J2/455; G09G3/32; H01L33/00

- European:

Application number: JP19880246630 19880930

Priority number(s): JP19880246630 19880930

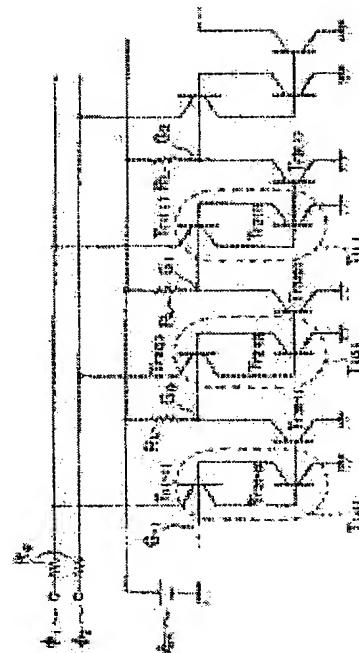
Also published as:

JP2784011 (B2)

Abstract of JP 2092651 (A)

PURPOSE: To perform a self-scanning with 2-phase transfer clocks by electrically connecting light emitting elements therebetween by a current mirror circuit.

CONSTITUTION: If a transfer clock ϕ_1 shows a high level and a light emitting element $T(0)$ is turned ON, an electrode G_0 is lowered to the vicinity of a zero volt. If a power source voltage V_{HGK} is set to 5V, a current limited by a resistor R_L flows from the gate electrode G_0 , and a current limited by a resistor R_e flows from an emitter. Since the transistors Tr_2 and Tr_3 form a current mirror circuit, a current driving capacity proportional to the Tr_2 is provided in the Tr_3 . A current is fed from the current driving capacity through the resistor R_L connected to the collector of the Tr_3 , and the potential of the gate electrode G_1 of the adjacent light emitting element $T(1)$ is lowered. If the driving capacity of the Tr_3 is suitably regulated, the potential of the gate electrode G_1 can be lowered to about zero. Since the ON voltage of the element $T(1)$ becomes higher by a diffused potential V_{d1} than the potential of the gate electrode G_1 , the voltage of the clock ϕ_1 can be transmitted at the ON state to the element $T(1)$.



Data supplied from the **espacenet** database — Worldwide

⑫ 公開特許公報 (A)

平2-92651

⑬ Int. Cl. 5

B 41 J 2/45
2/455

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月3日

7612-2C B 41 J 3/21

審査請求 未請求 請求項の数 1 (全11頁)

L※

⑮ 発明の名称 発光素子アレイ

⑯ 特願 昭63-246630

⑰ 出願 昭63(1988)9月30日

⑱ 発明者 楠田 幸久 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

⑲ 発明者 刀根 潔 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

⑳ 発明者 山下 建 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

㉑ 発明者 田中 修平 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

㉒ 出願人 日本板硝子株式会社 大阪府大阪市東区道修町4丁目8番地

㉓ 代理人 弁理士 大野 精市

最終頁に続く

明細書

1. 発明の名称

発光素子アレイ

2. 特許請求の範囲

(1) しきい電圧もしくはしきい電流を制御するための制御電極を有する積層半導体型発光素子を多数個、一次元、二次元、もしくは三次元的に配列し、各発光素子の制御電極を、各々の発光素子の近傍に位置する少なくとも2つの発光素子の制御電極と互いに電気的手段にて接続したネットワーク配線を形成し、各発光素子に、外部から電圧もしくは電流を印加するクロックラインを接続した発光素子アレイであって、該電気的手段が以下に示すトランジスタを用いたカレントミラー回路であることを特徴とする発光素子アレイ。

A. 各トランジスタの制御電極が各発光素子の第1の制御電極に接続されて、該トランジスタと該発光素子内のトランジスタ回路とがカレントミラー回路を構成する。

B. 該トランジスタは、制御電極が接続された

発光素子に対して一定方向に位置する近傍の発光素子の第2の制御電極に接続され、該第2の制御電極の電位が該トランジスタにより制御可能とされている。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は発光素子を同一基板上に集積した発光素子アレイへの自己走査機能の付与と、その駆動の安定化に関するものである。

【従来の技術】

発光素子の代表的なものとしてLED (Light Emitting Diode) 及びLD (Laser Diode) が知られている。

LEDは化合物半導体 (GaAs, GaP, AlGaAs, InGaAsP, InGaAlAs等) のPNまたはPIN接合を形成し、これに順方向電圧を加えることにより接合内部にキャリアを注入、その再結合の過程で生じる発光現象を利用するものである。

またLDはこのLED内部に導波路を設けた構

造となっている。あるしきい値電流以上の電流をながすと注入される電子-正孔対が増加し反転分布状態となり、誘導放射による光子の増倍(利得)が発生し、へき開面などを利用した平行な反射鏡で発生した光が再び活性層に帰還されレーザ発振が起こる。そして導波路の端面からレーザ光が出ていくものである。

これらLED、LDと同じ発光メカニズムを有する発光素子として発光機能を持つ負性抵抗素子(発光サイリスタ、レーザサイリスタ等)も知られている。発光サイリスタは先に述べたような化合物半導体でPNNP構造を作るものであり、シリコンではサイリスタとして実用化されている(青木昌治著、「発光ダイオード」工業調査会、pp167~169参照)。

この発光サイリスタの基本構造及び電流-電圧特性を第6図、第7図に示す。第7図に示す構造はN形GaAs基板上にPNNP構造を形成したもので通常の3端子サイリスタとまったく同じ構成である。第6図も同様に通常のサイリスタとまつ

一方密着形イメージセンサ、LEDプリンタ等では読み取るポイント、書き込むポイントを指定するため、これら発光素子による発光点の走査機能(光走査機能)が必要である。

しかし、これらの従来の発光素子を用いて光走査を行うためには、LEDアレイのなかに作られている一つ一つのLEDをワイヤボンディング等の技術により駆動ICに接続し、このICで一つ一つのLEDを駆動させる必要があった。このためLEDの数が多い場合、同数のワイヤボンディングが必要で、かつ、駆動ICも数多く必要となりコストが高くなってしまうという欠点があった。これは駆動ICを設置するスペースを確保することが必要となり、コンパクト化が困難という欠点を誘発していた。

またLEDを並べるピッチもワイヤボンディングの技術で定まり、短ピッチ化が難しいという欠点があった。

そこで発明者は、発光素子アレイ自身に自己走査機能をもたらすことにより、先に挙げたワイ

たく同じS字形負性抵抗を表している。この3端子サイリスタのゲートはON電圧を制御する働きを持ち、ON電圧はゲート電圧に拡散電位を加えた電圧となる。またONした後、ゲート電極はカソード電圧とほぼ一致するようになる。カソード電極が接地されていればゲート電極は零ボルトとなる。またこの発光サイリスタは外部から光を入射することによりそのしきい電圧が低下することが知られている。

さらにこの発光サイリスタの中に導波路を設けLDとまったく同じ原理でレーザサイリスタを形成する事もできる(田代他、1987年秋応用物理学会講演、番号18p-ZG-10)。

これらの様な発光素子、特にLEDは化合物半導体基板上に多数個作られ、切断されて一つづつの発光素子としてパッケージングされ販売されている。また密着イメージセンサ用及びプリンタ用光源としてのLEDは一つのチップ上に複数個のLEDを並べたLEDアレイとして販売されている。

ヤпонディングの数の問題、駆動ICの問題、コンパクト化、短ピッチ化の問題を解決する発明を行なった。(特願昭63-65392)。この先の発明の内容を以下簡単に記す。

先の発明の主旨は、発光素子のターンオン電圧または電流が、べつの発光素子のON状態によって影響を受けるよう、即ち、相互作用をするよう構成することにより発光の自己走査機能を実現することである。

第8図に先の発明1の実施例の第1の例(光結合による方法)を示す。これは発光素子として先に述べた発光サイリスタを用い、発生した光の一部が隣接する発光サイリスタに入射するよう構成したもので、光が入った発光サイリスタのON電圧が低下する現象を利用するものである。今転送クロックパルス ϕ_0 がハイレベルとなり、発光サイリスタT(0)がONしているとする。このためその両側に位置する発光サイリスタT(-1)、T(1)のON電圧が低下する。このため次の転送クロックパルス ϕ_1 にハイレベル電圧が印可されると発光サイ

リストア(1)のみONさせる事が可能となる。これから自己走査を行なうことができる。

第9図に第8図の構成のデバイス構造を示す。N形GaAs基板上にP形(23)、N形(22)、P形(21)からなる発光サイリスタを設け、それぞれのP形(21)層に接触した電極(40)に転送クロックラインを接続した構成となっている。動作は先に説明した通りである。

第10図に、先の発明の実施例の第2の例(電気的結合による方法)を示す。第7図に示した三端子サイリスタのゲート端子を図中の抵抗R₁、R₂でお互いに接続した構成である。今クロックバルス ϕ_1 がハイレベル電圧となり発光サイリスタT(0)がON状態になっているとする。このときノードG₀はほぼ零ボルトとなっている。すると抵抗ネットワークから電流が流れ、発光サイリスタT(0)に近いノードが最も電圧が引き下げられ、離れていくほど影響は少なくなる。次の転送クロック ϕ_1 にハイレベル電圧が加わると発光サイリスタT(1)とT(-2)がON可能となるが、ノードG₁のほう

的接続を行なうことにより、2相の転送クロックにて自己走査を行なうことが可能となる。その結果駆動回路を簡単化できる。

改良発明の実施例を紹介する。

改良発明の実施例の等価回路図を第11図に示す。これは発光しきい電圧、電流が外部から制御できる発光素子の一例として、最も標準的な三端子の発光サイリスタを用いた場合を表している。発光サイリスタT(-2)～T(+2)は、それらが一列に並べられた構成となっている。発光サイリスタT(-2)～T(+2)は、それぞれゲート電極G₋₂～G₊₂を有す。各ゲート電極は負荷抵抗R_Lを有し、かつ電気的相互作用を行なうダイオードD₋₂～D₂を介して隣接する発光サイリスタのゲート電極と電気的に接続されている。またゲート電極には電源電圧V_{ok}が印加されている。各単体発光サイリスタのアノード電極に2本の転送クロックライン(ϕ_1 、 ϕ_2)がそれぞれ1素子おきに接続されている。

動作を説明すると、まず転送クロック ϕ_2 がハイ

がノードG₋₂より低い電圧となっているため、発光サイリスタT(1)のみをONさせることができる。これから自己走査を行なうことができる。

以上簡単に説明した先の発明1により、ワイヤボンディングの数の問題、駆動ICの問題、コンパクト化、短ピッチ化の問題等を解決する事が可能となった。

また発明者らは先の発明にたいして、さらに改良を行なった。この改良は先の発明の転送クロックバルスの数を減らすものである。

第8図、第9図の構成例(光結合による方法)ではON発光素子から出射する光量を左右で変えることにより転送クロック数を2つに減少させることができる。しかしながら第10図に示した構成例(電気的接続による方法)では2相駆動化はできない。このため転送動作をさせるための駆動回路がそれほど簡単化出来ないという問題点があった。

改良発明では、ダイオード、トランジスタ等の一方向性を持つ素子を介して、発光素子間の電気

レベルとなり、発光素子T(0)がONしているとする。この時、3端子サイリスタの特性からゲート電極G₀は零ボルト近くまで引き下げられる(シリコンサイリスタの場合約1ボルトである)。電源電圧V_{ok}を例えば5Vとすると、抵抗R_L、ダイオードD₋₂～D₂のネットワークから各発光サイリスタのゲート電圧が決まる。そして発光素子T(0)に近い素子のゲート電圧が最も低下し、以降順に発光素子T(0)から離れるに従いゲート電圧は上昇していく。しかしながら、ダイオード特性の一方向性、非対象性から電圧を下げる効果は発光素子T(0)の右半分しか働かない。即ちゲート電極G₁はゲート電極G₀に対し、ダイオードの順方向立ち上がり電圧V_{D1}だけ高い電圧に設定され、ゲート電極G₂はゲート電極G₁に対し、さらにダイオードの順方向立ち上がり電圧V_{D2}だけ高い電圧に設定される。一方左半分に相当するゲート電極G₋₁はダイオードD₋₁が逆バイアスとなっているため電流が流れず、従って電源電圧V_{ok}と同電位となる。次の転送クロックバルス ϕ_1 は最近接の発光素子T

(1)、 $T(-1)$ 及び $T(3)$ 、 $T(-3)$ 等に加わるが、これらの中で最もON電圧が低い素子は発光素子 $T(1)$ で、約2V_{dd}である。次に低い素子は発光素子 $T(3)$ であり、約4V_{dd}となる。発光素子 $T(-1)$ 、 $T(-3)$ のON電圧は約 $V_{dd} + V_{dd}$ となる。以上から転送クロックパルスのハイレベル電圧を2V_{dd}から4V_{dd}の間に設定しておけば発光素子 $T(1)$ のみONさせることができ、転送動作を行なうことができる。

また等価回路としてダイオードを示したが、第12図に示すように、発光サイリスタ T_{r1} 、 T_{r2} および結合ダイオード T_{r3} 等のトランジスタを用いて示しても、実効的に等価である。

以上述べたように電気的結合用の素子としてダイオード、トランジスタを用いることにより2相クロック駆動可能な発光素子アレイを実現することができる。

以上簡単に説明した先の発明及び改良発明によりワイヤボンディングの問題、駆動ICの問題、コンパクト化、短ピッチ化の問題等を解決するこ

ら電圧もしくは電流を印加するクロックラインを接続した発光素子アレイであって、該電気的手段が以下に示すトランジスタを用いたカレントミラー回路である発光素子アレイである。

A. 各トランジスタの制御電極が各発光素子の第1の制御電極に接続されて、該トランジスタと該発光素子内のトランジスタ回路とがカレントミラー回路を構成する。

B. 該トランジスタは、制御電極が接続された発光素子に対して一定方向に位置する近傍の発光素子の第2の制御電極に接続され、該第2の制御電極の電位が該トランジスタにより制御可能とされている。

本発明のカレントミラー回路の形成方法としては、例えば各発光素子のバイアス電圧が印可される第2導電型半導体に接する第1導電型半導体（第1の制御電極）に制御電極が接続されたトランジスタを、該発光素子の一定方向近傍の発光素子の、クロックラインが接続された第1導電型半導体に接する第2導電型半導体（第2の制御電極）、

とができる、かつ駆動方法も簡単化することができる。

【発明が解決しようとする課題】

従来例で説明した改良発明において、結合用素子としてダイオード、トランジスタ等の一方向性を持つ素子を用いることにより2相クロックによる転送動作を可能にした。しかし転送クロック電圧幅が2V_{dd}と狭いという問題点があった。

【課題を解決するための手段】

本発明は制御電極間を電気的手段により接続する方法を改良し、転送クロック電圧幅を広く取ることを可能とするものである。このための手段としてカレントミラー回路を用いる。

本発明は、しきい電圧もしくはしきい電流を制御するための制御電極を有する積層半導体型発光素子を多数個、一次元、二次元、もしくは三次元的に配列し、各発光素子の制御電極を、各々の発光素子の近傍に位置する少なくとも2つの発光素子の制御電極と互いに電気的手段にて接続したネットワーク配線を形成し、各発光素子に、外部か

に接続する方法があげられる。

本発明に使用するトランジスタとしては、発光素子に使用する半導体と同種の物を使用することが、発光素子アレイの小型化にたいして効果があるので好ましい。

発光素子の制御電極電位をトランジスタを介して制御するには、制御電極をトランジスタを介して例えればアースして、制御電極電位を降圧可能とする方法がある。

本発明に使用する発光素子としては、しきい電圧もしくはしきい電流が外部から制御可能な発光素子であれば、任意の素子が使用できる。なかでも、例えればP形導電型半導体領域及びN形導電型半導体領域を複数積層した発光素子等の負性抵抗を有する発光素子を用いることが望ましい。

またカレントミラー回路を構成するトランジスタを発光素子を形成しているP形、N形層を組み合わせて形成すると、簡単な製造方法で、実現できるので好ましい。

【作用】

本発明ではカレントミラー回路を用いて発光素子間の電気的接続を行なうことにより、実施例にて詳細に説明するように2相の転送クロックにて自己走査を行なうことが可能となり、かつ転送クロックパルス電圧幅を広く取ることが可能となる。

【実施例】

<実施例1>

実施例1の原理の等価回路図を第1図に示す。これは発光しきい電圧、電流が外部から制御できる発光素子の一例として、最も標準的な三端子の発光サイリスタを用いた場合を表している。PNPトランジスタTr1とNPNトランジスタTr2の組合せによりサイリスタが構成されている。トランジスタTr3のベースはNPNトランジスタTr2のベースに接続され、NPNトランジスタTr2と組合わさってカレントミラー回路を構成している。発光サイリスタTr(-1)～Tr(1)は、一列に並べられ、かつ発光サイリスタ間がカレントミラー回路により接続された構成である。

発光サイリスタTr(-2)～Tr(+2)はそれぞれゲート

Tr(1)のゲート電極G1の電位を引き下げる。トランジスタTr1の駆動能力を適当に調整することにより、ゲート電極G1の電位をほぼ零まで下げることができる。発光素子Tr(1)のON電圧はゲート電極G1の電位より拡散電位Vdsだけ高い電圧となるため、転送クロックφ1の電圧は拡散電位Vds以上であればON状態を発光素子Tr(1)に伝達できる。

さてこのように発光素子Tr(1)のON電圧は下がる事になるが、反対側に位置する発光素子Tr(-1)のON電圧は変化しない。これはゲートG0がほぼ零にまで下がったとしても、発光素子Tr(-1)のON電圧を定めるゲートG-1の電圧に影響を与えないからである。

以上のことから、このカレントミラーを用いた発光素子アレイはVdsからVok+Vdsまでの転送クロックパルス電圧によって動作し、電圧幅としてVokという広い幅で動作させることができる。

本実施例において負荷抵抗RLは必ずしも必要でなく、これを除去しても動作する。

本実施例では転送クロックパルスが2相の場合

ト電極G-1～G-2を有し、該ゲート電極は負荷抵抗RLを有す。ゲート電極には電源電圧Vokが印加される。各単体発光サイリスタのアノード電極(Tr1のエミッタ)に2本の転送クロックライン(φ1、φ2)がそれぞれ1素子おきに接続される。クロックラインにはクロックラインの電流を制限するために抵抗Reが設けられる。

動作を説明する。まず転送クロックφ2がハイレベルとなり、発光素子Tr(0)がONしているとする。この時、3端子サイリスタの特性からゲート電極G0は零ボルト近くまで引き下げる(シリコンサイリスタの場合約1ボルトである)。電源電圧Vokを5Vとすると、ゲートG0から抵抗RLで制限された電流が流れ込む。またエミッタ(アノード)からは抵抗Reで制限された電流が流れ込む。さてトランジスタTr2とTr3はカレントミラー回路になっているため、トランジスタTr3にはTr2に比例した電流駆動能力が備わる。この電流駆動能力からトランジスタTr3のコレクタに接続される抵抗RLを介して電流を引き込み、隣の発光素子

で動作を説明したが、3相以上であっても、もちろん動作する。さらに第1図では発光素子を一列に並べているが、配列を直線にする必要はなく、応用によって蛇行させてもよいし、途中から二列以上に増やすことも可能である。またこの説明では発光サイリスタに限定して説明したが同様な機能を持つデバイスであればこれに限られず何であっても良い。さらには、発光素子はレーザサイリスタであってもよい。この駆動方法は発光素子を単体部品で構成してもよく、また次の実施例で示すようになんらかの方法により集積化してもよい。

<実施例2>

実施例1では等価回路を示し説明したが、実施例2は実施例1を集積化して作成する場合の構成についての説明するものである。本実施例の要点はカレントミラー回路Tr2、Tr3を発光サイリスタと同じ工程で形成することのできる構造にある。

本発明の構造概念図を第2図に示す。接地されたN形GaAs基板(1)上にN形半導体層(24)、P形半導体層(23)、N形半導体層(22)、

P形半導体層(21)の各層を形成する。そしてホトリソグラフィ等及びエッティングにより分離溝(50)を設け各単体発光素子T(-1)～T(+1)に分離する。アノード電極(40)はP形半導体層(21)とオーミック接觸を有すし、ゲート電極(41)はn形半導体層(22)とオーミック接觸を有す。絶縁層(30)は素子と配線との短絡を防ぎ、同時に特性劣化を防ぐための保護膜でもある。図中波線で囲った部分がトランジスタTr3であり、ゲート電極(41)に接続される。トランジスタTr3はコレクタ(22)、ベース(23)、エミッタ(24)を有す。トランジスタTr1はエミッタ(21)、ベース(22)、コレクタ(23)を有し、トランジスタTr2はコレクタ(22)、ベース(23)、エミッタ(24)を有す。トランジスタTr2のベースは、トランジスタTr3のベースが電気的に接続されている。またこれらのトランジスタのコレクタは分離されている。ゲート電極(41)は負荷抵抗RLを介して電源V_{cc}に接続され、基板1は接地される。基板1はト

ために、より複雑な構造、層構成を導入しても良い。その具体的な例としてダブルヘテロ構造の採用が挙げられる。一例を第15図に示す(田代他1987年春応用物理学会講演、番号28p-ZE-8)。これはN形GaAs基板上に0.5μmのN形GaAs層を積み、その上にバンドギャップの広いN形AlGaAsを1μm、P形GaAs層を5nm、N形GaAs層を1μm、バンドギャップの広いP形AlGaAsを1μm、そして取り出し電極とのオーミック接觸をとるためのP形GaAs層を0.15μm積層した構成である。発光層は間に挟まれた、1μmのN形GaAs層である。これは注入された電子、正孔がバンドギャップの狭いGaAs層に閉じ込められ、この領域で再結合し発光する。

またここではPNP Nのサイリスタ構成を例に説明したが、この電位を検知し、しきい電圧が低下し、これをを利用して転送動作を行わせるという構成は、PNP N構成のみに限られず、その機能が達成できる素子であれば特に限定されない。例えば、PNP Nの4層構成でなく、6層以上の構

ランジスタTr2、Tr3のエミッタになっている。

絶縁層(30)としては、光が外へ出やすいように発光サイリスタの発光波長の光がよく通る材質をもちいることが望ましい。一方各素子間に光結合が発生すると本実施例の転送動作が影響されることがある。これを防止するため、ゲート電極の一部を発光素子間の分離溝のなかに入れ、光結合を防止する構造としている。

本実施例の構成は実施例1(第1図)に示した等価回路と全く同じ構成であり、全く同じ動作をする。従って、転送クロックφ1、φ2のハイレベル電圧を交互に互いに少しづつ重なるように設定すれば、発光サイリスタのON状態は順次転送されていく。即ち、発光点が順次転送される。

本実施例では転送クロックパルスとして、2相のパルスφ1、φ2を想定したが、より安定な転送動作を求める場合にはこれを3相、4相と増加させてもよい。

また本実施例では発光サイリスタの構造を最も簡単な場合について示したが、発光効率を上げる

ためでも同様な効果を期待でき、まったく同様な自己走査機能を達成することが可能である。さらには静電誘導(SI)サイリスタまたは電界制御サイリスタ(FACT)と呼ばれるサイリスタを用いてもまったく同様である。このSIサイリスタまたはFACTは電流ブロックとして働く中央のP形半導体層を空乏層で置き換えた構造となっている(S. M. Sze著、Physics of Semiconductor Devices, 2nd Edition pp238-240)。

<実施例3>

実施例3を第3図、第4図、第5図に示す。この実施例は実施例2の、より現実的な構造を示したものである。第3図に本実施例の平面図を、第4図に第3図のX-X'ラインの断面図を、第5図に第3図のY-Y'ラインの断面図を示す。

第3図について説明する。

各発光サイリスタのゲートにつながる負荷抵抗RLは負荷抵抗(63)とし、発光サイリスタT(-1)～T(1)を構成する半導体層を流用している。

カレントミラー用トランジスタTr3(-1)～Tr3(1)

)のコレクタはコンタクト穴 C₁を通ってゲート電極 (41) に接続される。コンタクト穴 C₁は半導体層と電極との接続孔である。発光サイリスタのアノード電極 (40) と転送クロックライン φ₁、 φ₂とはスルーホールの接続孔 C₂を用いて接続される。電源ライン (42) は電源電圧 V_{ok}に接続され、負荷抵抗 (63) (即ち R_L) に接続される。またこれはゲート電極 (41) と同時に形成される。ここでゲート電極 (41) は発光素子 T (-2) ~ T (+1) がその発光によりお互いに影響しあう事を防ぐための遮光層をも兼ねている。

第4図に X-X' ラインでの断面構造図を、第5図に Y-Y' ラインでの断面構造図を示す。発光素子は N 形 GaAs 基板 (1) 上に N 形 GaAs 層 (24b)、N 形 AlGaAs 層 (24a)、P 形 GaAs 層 (23)、N 形 GaAs 層 (22)、P 形 AlGaAs 層 (21b)、P 形 GaAs 層 (21a) の各層を形成する。そしてホトリソグラフィ等及びエッチングにより、各単体発光素子に分離する (分離溝 (50))。また分離溝 (51) は発光素子 C₂を設け、電極 φ₁、φ₂を形成する。以上の工程により本実施例 3 の構造が完成する。

この工程の順序は必ずしも上記のとおりである必要はないし、本構造の上にさらに透光性絶縁膜を設け、信頼度を向上させるようにしてもよい。さらには発光素子上の絶縁膜が厚くなり光透過率が低下することを嫌うなら、発光素子の上部絶縁膜の一部または全部をホトエッチング等の方法により除去してもよい。

尚、以上述べてきた本考案の一連の実施例は基板として半導体基板を用い、その電位を零ボルト (接地) とした例を示してきたが、本考案はこれに限らず基板として他の物質を用いてもよい。もっとも近い例でいえばクロム (Cr) 等をドウブリした半絶縁性 GaAs 基板上に実施例の n 形 GaAs 基板に相当する n 形 GaAs 層を形成し、この上に実施例で説明した構造を形成してもよい。また例えばガラス、アルミナ等の絶縁基板上に半導体膜を形成し、この半導体を用いて実施例の構造を形成してもよい。

子 T (0) とカレントミラー用トランジスタ Tr3 を分離するための構である。負荷抵抗 (63) : R_L は発光素子の N 形 GaAs 層 (22) を用いている。これは別の層を用いててもよい。例えば P 層 (23) を用いる、あるいは別の抵抗領域を設け、これを用いてもよい。

本実施例 3 の製造工程を説明する。まず N 形 GaAs 基板上に N 形 GaAs 層 (24b)、N 形 AlGaAs 層 (24a)、P 形 GaAs 層 (23)、N 形 GaAs 層 (22)、P 形 AlGaAs 層 (21b)、P 形 GaAs 層 (21a) の各層を順次形成する。そして分離溝 (50) を形成し、発光素子及び抵抗間の分離を行なう。次にゲートの取り出し部分及びトランジスタ Tr3 形成部分の P 形 AlGaAs 層 (21b)、P 形 GaAs 層 (21a) を除去し、さらに分離溝 (51) を形成する。この P 形層除去工程で同時に抵抗 (63) 部の P 形層も除去する。絶縁膜 (30) を形成し、コンタクト孔 (C₁) を設ける。電極 (40)、(41)、(42) を形成する。層間絶縁膜 (31) を形成して、スルーホール C₂を設け、電極 φ₁、φ₂を形成する。

本実施例では LED を対象に説明を行なつてきただが、本発明はレーザにも適用可能なことは言うまでもない。

【応用例】

以上の実施例にて説明してきた自己走査可能な発光素子アレイは各種応用が期待できる。例として光走査の密着イメージセンサ、光プリンタの書き込みヘッド、ディスプレイ等が挙げられ、これらの機器の低価格化、高性能化に大きな寄与をすることができる。

上記実施例においては、各々隣接する発光素子の制御電極を互いに電気的手段にて接続しているが、例えば各々接続する発光素子を 1 つおきの発光素子として、1 つの発光素子アレイに 2 系列の走査機能を設けることも可能である。また 2 次元、3 次元の発光素子アレイの場合には各発光素子は近傍の 4 つまたは 6 つ以上の発光素子と電気的手段にて接続される。

【発明の効果】

以上述べてきたように、本発明は発光素子アレ

イ問をカレントミラー回路を用いて結合させるごとにより、2相の転送クロックで発光点の転送を行なうことができ、かつ転送クロックパルス電圧の幅を広く取ることができます。またワイヤボンディングの数の減少、駆動ICの減少、コンパクト化、短ピッチ化等が可能となる。

また本発明は密着イメージセンサ、光プリンタ、ディスプレイ等へ応用でき、これらの機器の性能向上、低価格化に大きく寄与することができる。

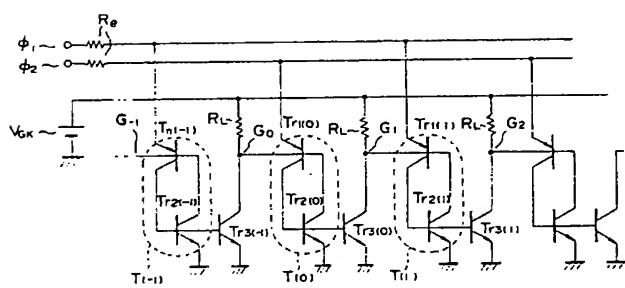
4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す等価回路図、第2図は本発明の第2の実施例を示す断面図、第3図は本発明の第3の実施例を表わす平面図、第4図、及び第5図は本発明の第3の実施例を表わす断面図、第6図は発光サイリスタの電流電圧特性、第7図は三端子発光サイリスタの構成図、第8図は従来例（等価回路図）、第9図は従来例（断面概略図）、第10図、第11図、及び第12図は従来例の等価回路図、第13図はダブルヘテロ構造の発光サイリスタの概略を表わす断面図

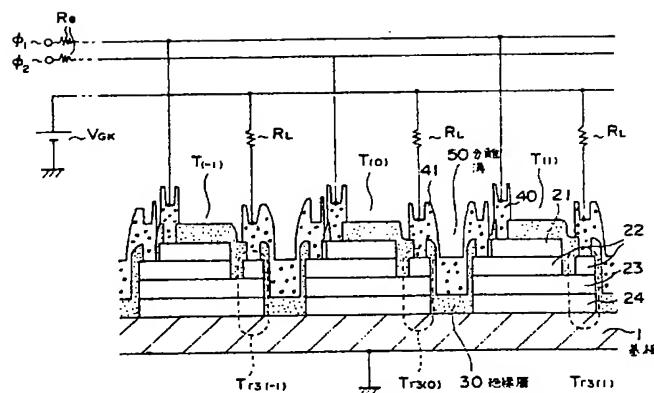
である。

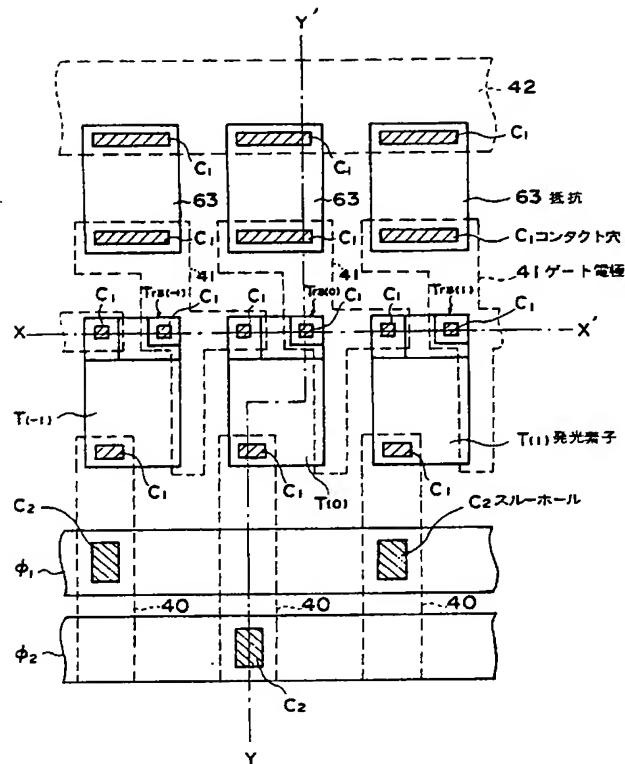
特許出願人 日本板硝子株式会社

代理人 井理士 大野精市

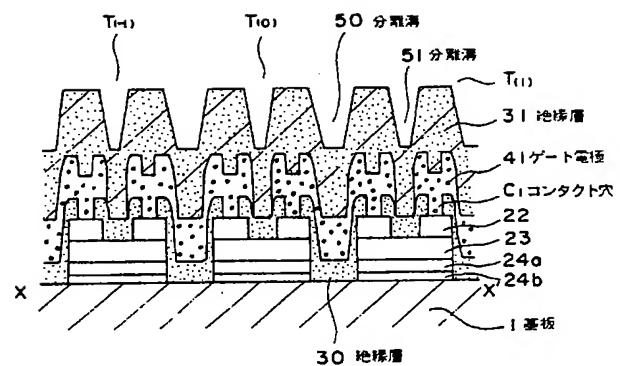


第1図

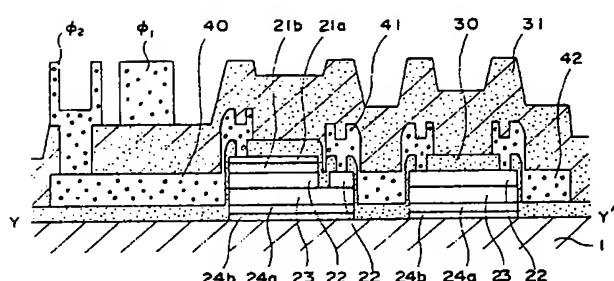




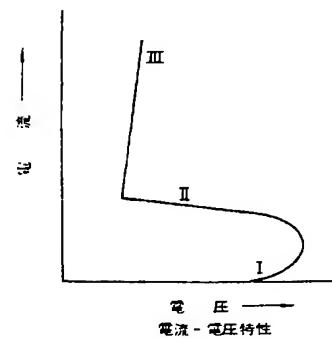
第 3 図



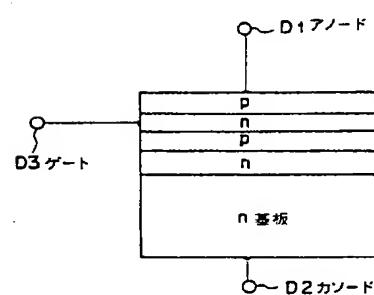
第 4 図



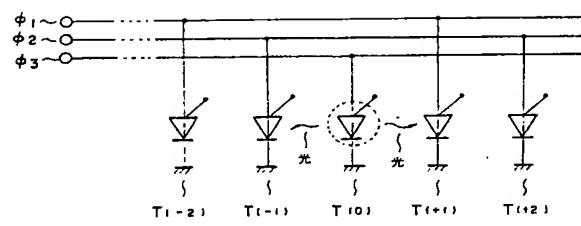
第 5 図



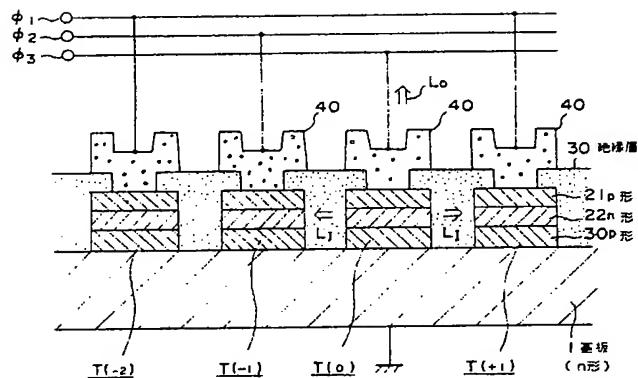
第 6 図



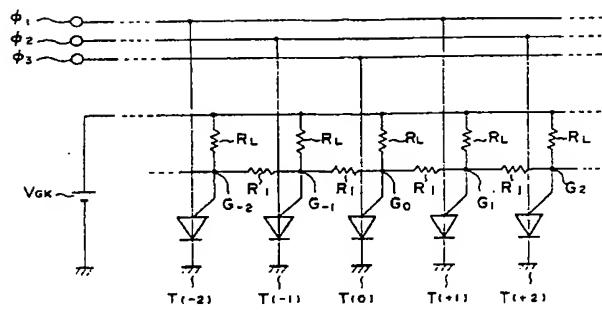
第 7 図



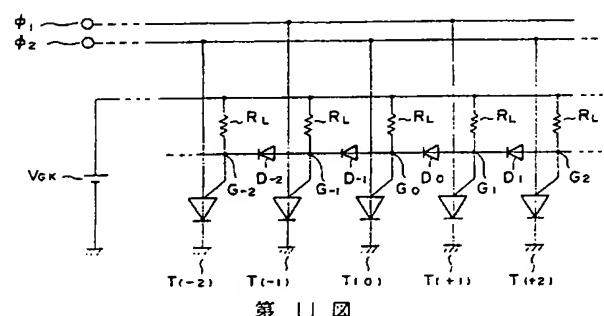
第 8 図



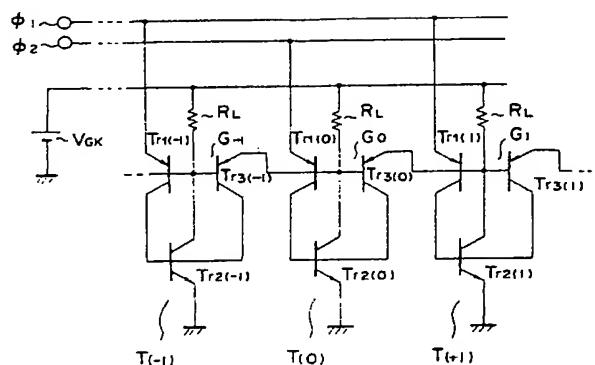
第 9 図



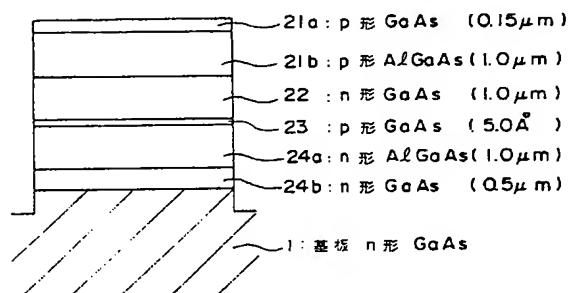
第 10 図



第 11 図



第 12 図



第 13 図

第1頁の続き

⑤Int. Cl. 5

G 09 G 3/32
H 01 L 33/00

識別記号

府内整理番号

J 6376-5C
7733-5F